

Giải pháp đo bám tần số tín hiệu dải rộng với độ chính xác cao và tài nguyên tối ưu trên công nghệ FPGA

Solutions of the wideband frequency measurement and tracking with high accuracy and optimum resources on FPGA technology

Trần Văn Nghĩa

Trường ĐH Vật lý kỹ thuật Matxcova

e-Mail: ngghiamosmpt@gmail.com

Tóm tắt

Bài báo đề xuất giải pháp đo tần số trong dải rộng với độ chính xác cao và tài nguyên phần cứng FPGA tối thiểu bằng cách sử dụng các bộ biến đổi Fourier nhanh kích thước nhỏ kết hợp bộ đảo tần xuống số. Giải pháp này có thể áp dụng trong những hệ thống đo xác định tần số các nguồn phát xạ vô tuyến và làm tiền đề cho việc xử lý thông tin. Kết quả thiết kế được kiểm tra bằng công cụ System Generator for DSP 14.7.

Từ khóa: Đo tần số, FPGA, FFT, DFT, bộ đảo tần xuống số, DDC, CIC, CFIR, PFIR, DDS, Bộ tổ hợp tần số trực tiếp, System Generator.

Abstract:

This paper proposes solution of the wideband frequency measurement with high accuracy and minimum resources of FPGA chip using the Fast Fourier Transform with small size and digital down converter. This solution can be applied to estimating the transmitting frequency in the radio systems and applied as a basis for the processing of information. Results of design were examined by the System Generator for DSP Tool 14.7.

Keywords: Frequency measurement, FPGA, FFT, DFT, digital down converter, DDC, CIC, CFIR, PFIR, DDS, direct digital synthesizer, System Generator.

Ký hiệu

Ký hiệu	Đơn vị	Ý nghĩa
$x(t), x(n)$		Tín hiệu và chuỗi lấy mẫu
$x_{base}(t)$		Tín hiệu ở băng tần cơ sở
$x_{mix}(t)$		Tín hiệu sau bộ trộn số
$X(k)$		Mẫu tín hiệu trên miền tần số của FFT
N_{wb}, N_{nb}		Kích thước của bộ FFT dải rộng và dải hẹp
$A(t)$		Biên độ tín hiệu
ω_s, ω_{ddc}	rad/s	Tần số của tín hiệu và của DDS trong DDC
$P(t)$		Pha tín hiệu
ΔF_s	Hertz	Dải tần số tín hiệu quan sát lớn nhất của FFT
$\Delta F_{wb}, \Delta F_{nb}$	Hertz	Độ phân giải tần số của FFT dải rộng và dải hẹp
Δf	Hertz	Sai số của phép đo

$$\left| \frac{x}{y} \right|$$

$y(n)$

$h(n)$

$H(z)$

$H(\omega)$

Phép toán chia x cho y lấy phần nguyên

Tín hiệu đầu ra bộ lọc

Đáp ứng xung của bộ lọc

Đáp ứng của bộ lọc số trong miền Z

Đáp ứng tần số của bộ lọc

Chữ viết tắt

FFT	Fast Fourier Transform
DFT	Discrete Fourier Transform
DDC	Digital down converter
CIC	Cascaded Integrator-Comb filter
CFIR	Compensation filter
PFIR	Programmable filter
DDS	Direct Digital Synthesizer
FPGA	Field-programmable Gate Arrays
I	In-phase component
Q	Quadrature-phase component

1. Phần mở đầu

FFT đã được áp dụng rất rộng rãi trong xử lý tín hiệu. Phép biến đổi FFT này cho ra các thành phần tần số mang trong tín hiệu. Vì vậy, để xác định tần số trung tâm tín hiệu người ta cũng sử dụng FFT cho việc tìm kiếm thành phần tần số tập trung năng lượng cao nhất. Tuy nhiên với dải tần rộng hàng trăm MHz, việc đo đặc cho độ chính xác hàng trăm Hz yêu cầu kích thước FFT phải rất lớn cỡ hàng triệu điểm. Với khả năng tính toán và tài nguyên của FPGA mới nhất hiện nay (Virtex UltraScale+ FPGAs) cho phép thực hiện FFT với kích thước tối đa 64K điểm. Để khắc phục hạn chế này, bài báo đề xuất giải pháp tính FFT hai bước kích thước nhỏ kết hợp với bộ DDC: Sử dụng FFT xác định tần số nằm trong dải rộng để điều chỉnh dải hoạt động hẹp cho bộ DDC tách ra dải tín hiệu quan tâm. Sau đó bộ FFT thứ hai tiếp tục xác định tần số chỉ trong dải hẹp được đưa ra bởi bộ DDC.

2. Nội dung chính

2.1 Phép biến đổi FFT

FFT là thuật toán hiệu quả về mặt tính toán trong việc tính DFT khi kích thước lấy mẫu để biến đổi Fourier là lũy thừa của 2:

$$X(k) = \sum_{n=0}^{N-1} x(n)e^{-jnk2\pi/N}, k = 0, 1, \dots, N-1 \quad (1)$$

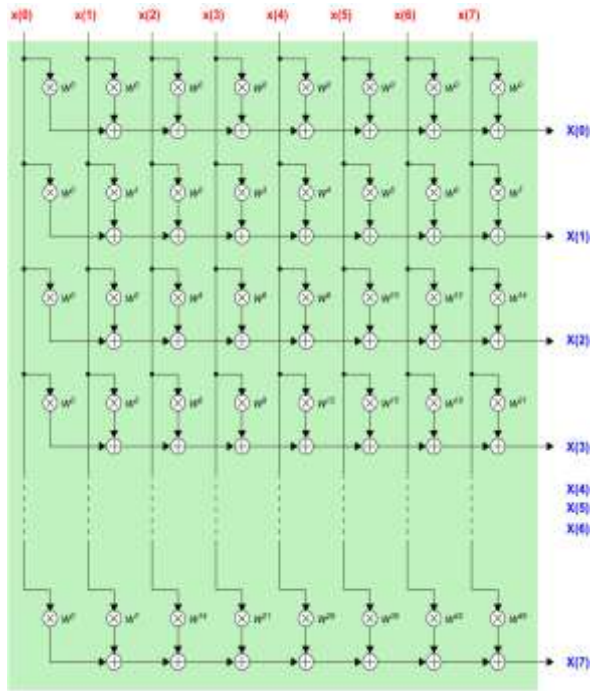
Đặt:

$$W = e^{-j2\pi/N} \quad (2)$$

Gọi là hệ số pha, giá trị là hằng số đối với từng kích thước cụ thể của FFT.

Thay thế (2) và (1) chúng ta nhận được

$$X(k) = \sum_{n=0}^{N-1} x(n)W^{kn}, k = 0, 1, \dots, N-1 \quad (3)$$



H. 1 Lược đồ tính FFT 8 điểm

Khoảng lấy mẫu của FFT trong trường hợp này cũng chính là độ phân giải tần số hay là độ chính xác xác định tần số. Đối với FFT quan sát dải rộng ΔF_s ta có độ chính xác:

$$\Delta F_{wb} = \frac{\Delta F_s}{N_{wb}} \quad (4)$$

Đối với FFT thực hiện quan sát dải hẹp, khi này khoảng tần số quan sát chỉ nằm trong khoảng tần số lấy mẫu ΔF_{wb} của FFT dải rộng nên độ phân giải tần số được tính:

$$\begin{aligned} x_{mix}(t) &= x(t) \cdot x_{dds}(t) = X_I(t)\cos(\omega_s t) - X_Q(t)\sin(\omega_s t) \cdot \cos(\omega_{dds} t) + j\sin(\omega_{dds} t) \\ &= X_I(t)\cos(\omega_s t) \cdot \cos(\omega_{dds} t) - X_Q(t)\sin(\omega_s t) \cdot \cos(\omega_{dds} t) - j X_I(t)\cos(\omega_s t) \cdot \sin(\omega_{dds} t) - X_Q(t)\sin(\omega_s t) \sin(\omega_{dds} t) \\ &= \frac{1}{2} X_I(t)\cos(\omega_s t - \omega_{dds} t) - X_Q(t)\sin(\omega_s t - \omega_{dds} t) + j \frac{1}{2} X_I(t)\sin(\omega_s t - \omega_{dds} t) + X_Q(t)\cos(\omega_s t - \omega_{dds} t) + \\ &\quad \frac{1}{2} X_I(t)\cos(\omega_s t + \omega_{dds} t) - X_Q(t)\sin(\omega_s t + \omega_{dds} t) + j \frac{1}{2} X_I(t)\sin(\omega_s t + \omega_{dds} t) + X_Q(t)\cos(\omega_s t + \omega_{dds} t) \quad (12) \end{aligned}$$

$$x_{dds}(t) = \frac{1}{2} X_I \cos(\omega_s t - \omega_{dds} t) - X_Q \sin(\omega_s t - \omega_{dds} t) + j \frac{1}{2} X_I \sin(\omega_s t - \omega_{dds} t) + X_Q \cos(\omega_s t - \omega_{dds} t) \quad (13)$$

$$\Delta F_{nb} = \frac{\Delta F_{wb}}{N_{nb}} \quad (5)$$

Độ sai số của phép đo sau việc tổng hợp tần số xác định được từ hai dải FFT này được xác định bởi độ phân giải của FFT dải hẹp:

$$\pm \Delta f = \frac{\Delta F_{nb}}{2} \quad (6)$$

2.2 Kỹ thuật đảo tần xuống số

Bộ đảo tần xuống số được ứng dụng trong tất cả các hệ thống vô tuyến. Bộ DDC thực hiện chọn ra dải tần quan tâm để chuyển về dải băng tần cơ sở và giảm tần số lấy mẫu phù hợp với băng tần này.

Cụ thể ta xét tín hiệu ở băng tần cơ sở gồm hai thành phần I và Q:

$$x_{base}(t) = X_I(t) + jX_Q(t) \quad (7)$$

Tín hiệu này được phát với sóng mang có tần số ω_{rf}

$$x_{rf}(t) = \cos(\omega_{rf} t) + j\sin(\omega_{rf} t) \quad (8)$$

Như vậy, tín hiệu phát đi có dạng:

$$\text{Re } x_{base} \cdot x_{rf} = X_I(t)\cos(\omega_{rf} t) - X_Q(t)\sin(\omega_{rf} t) \quad (9)$$

Giả sử tần số ω_{rf} nằm trong dải làm việc ΔF_s của thiết bị thu dải rộng. Thiết bị thu chọn lấy dải tần làm việc này và đưa vào bộ xác định tần số. Tần số ω_{rf} có thể biến đổi về tần số ω_s nếu cần thiết. Trong trường hợp đó, để xác định tần số ω_{rf} chúng ta chuyển qua xác định tần số ω_s . Tín hiệu này tổng quát có thể được biểu diễn dưới dạng:

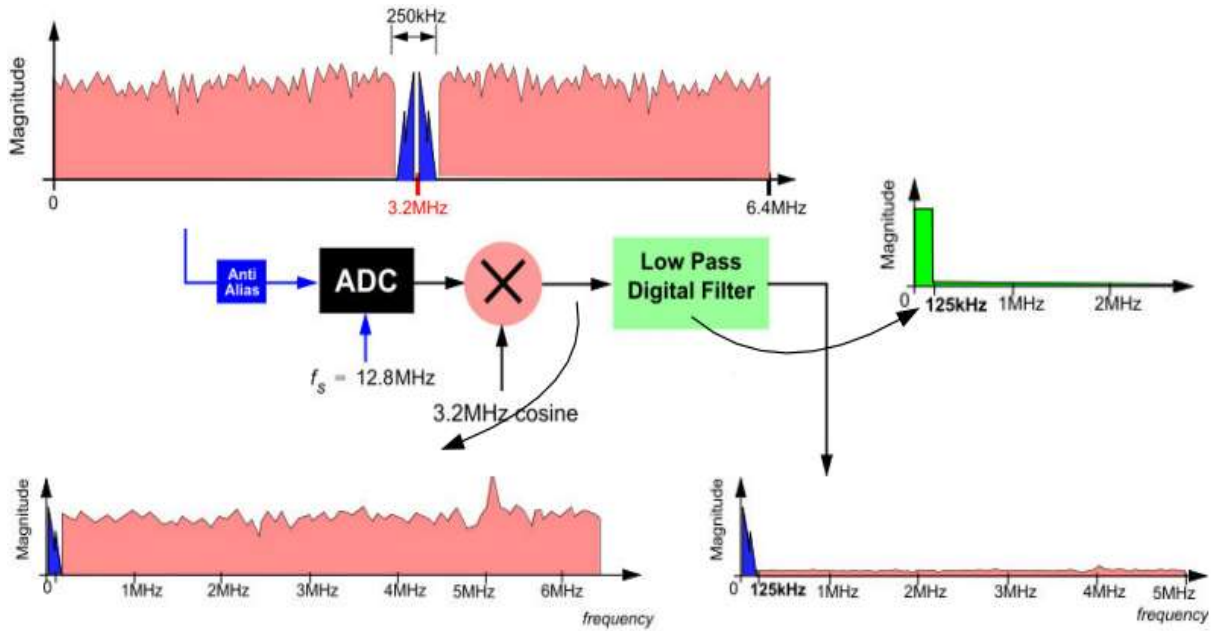
$$x(t) = X_I(t)\cos(\omega_s t) - X_Q(t)\sin(\omega_s t) \quad (10)$$

Tần số thiết lập của bộ DDS trong DDC là ω_{dds} được điều chỉnh bởi dải lựa chọn từ FFT dải rộng.

$$x_{dds}(t) = \exp j(\omega_{dds} t) = \cos(\omega_{dds} t) + j\sin(\omega_{dds} t) \quad (11)$$

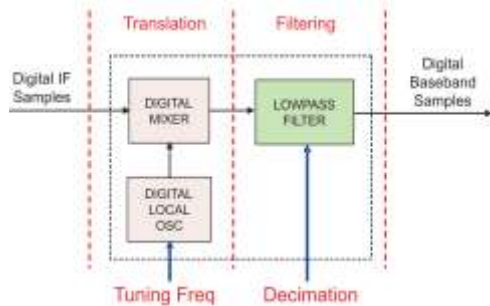
Tín hiệu đầu ra của bộ trộn số trong DDC được xác định theo (12) và sau các khâu lọc thông thấp giảm mẫu, tín hiệu đầu ra của DDC nhận được như phương trình (13). Từ phương trình này chúng ta nhận thấy, đầu ra của DDC nhận được tín hiệu có phổ là hiệu của tần số tín hiệu đầu vào và tần số được tạo ra bởi bộ DDS.

Ví dụ trên H. 2 thể hiện quá trình xử lý của DDC với tín hiệu có dải thông 250KHz và sóng mang 3.2MHz.



H. 2 Mô tả quá trình xử lý tín hiệu trong bộ DDC

Từ những phân tích cơ bản trên, về mặt kỹ thuật có thể thực hiện cấu trúc của bộ DDC như trên H. 3.



H. 3 Mô tả quá trình xử lý tín hiệu trong bộ DDC

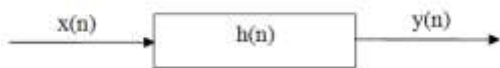
Để có được tần số lỗi ra hệ thống quan sát ổn định khi thử nghiệm cũng như bảo đảm quá trình xử lý trong bộ DDC, chúng ta giả thiết máy phát có độ ổn định tần số phát cao.

Bộ lọc số có đáp ứng xung hữu hạn FIR tổng quát là một hệ thống số được mô tả bởi phương trình sai phân:

$$y(n) = \sum_{k=0}^{N-1} w_k x(n-k) \quad (14)$$

Hoặc thể hiện dưới dạng đáp ứng xung (xem H. 4):

$$y(n) = \sum_{k=0}^{N-1} x_k h(n-k) = x(n) * h(n) \quad (15)$$



H. 4 Mô tả bộ lọc số theo đáp ứng xung

$$h(n) = \sum_{k=0}^{N-1} w_k \delta(n-k) = \begin{cases} w_n, & 0 \leq n < N \\ 0, & n \notin [0, N) \end{cases} \quad (16)$$

$$\delta(n) = \begin{cases} 1, & n = 0 \\ 0, & n \neq 0 \end{cases} \quad (17)$$

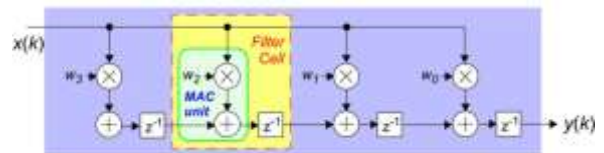
Thông qua phép biến đổi Z phương trình (15) chúng ta nhận được:

$$Y(z) = X(z) \cdot H(z) \quad (18)$$

Kết hợp với biến đổi Z phương trình (16) suy ra:

$$H(z) = \frac{Y(z)}{X(z)} = \sum_{k=0}^{N-1} w_k z^{-k} \quad (19)$$

Từ đó có thể tổng quát cấu trúc chung của bộ lọc FIR bao gồm các khâu MAC (như trên H. 5 thể hiện bộ lọc FIR bậc 4).



H. 5 Cấu trúc chung của bộ lọc FIR bậc 4

Tương tự, sử dụng phép biến đổi Fourier rời rạc các phương trình (15) và (16) chúng ta nhận được đáp ứng biên độ tần số của bộ lọc FIR:

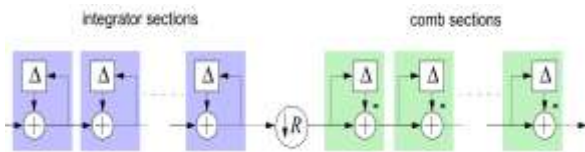
$$H(\omega) = \frac{Y(\omega)}{X(\omega)} = \sum_{k=0}^{N-1} w_k (e^{j\omega})^{-k} \quad (20)$$

Để xây dựng bộ lọc số, chúng ta cần tổng hợp đáp ứng xung h(n) hoặc đáp ứng tần số H(ω).

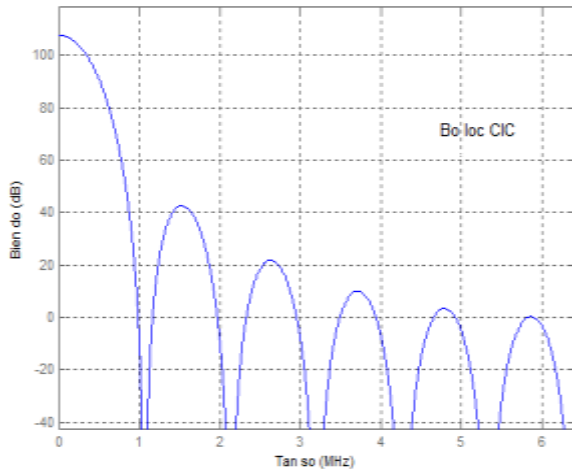
Bộ lọc CIC thực hiện lọc thông thấp và có khả năng giảm tốc độ mẫu lớn nhất mà vẫn bảo toàn thông tin. CIC có đáp ứng trong miền Z đưa ra:

$$H(z) = \left(\frac{1}{1-z^{-1}} \right) 1-z^{-R} \quad (21)$$

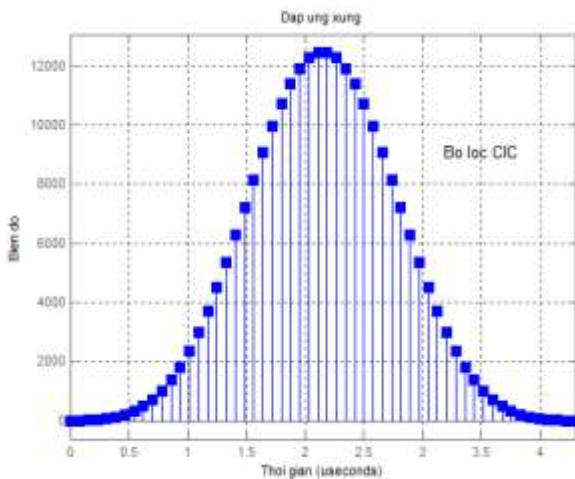
Tuy nhiên CIC khi làm việc trực tiếp ở tần số lấy mẫu đầu vào và thực hiện giảm tốc độ lấy mẫu rất lớn nên đặc trưng biên độ - tần số của CIC có độ dốc trong dải thông là khá lớn (xem H. 7). Do đó, bộ lọc CFIR với đáp ứng biên độ tần số dạng Invert Sine được sử dụng để bù lại độ dốc đặc tuyến của bộ lọc CIC.



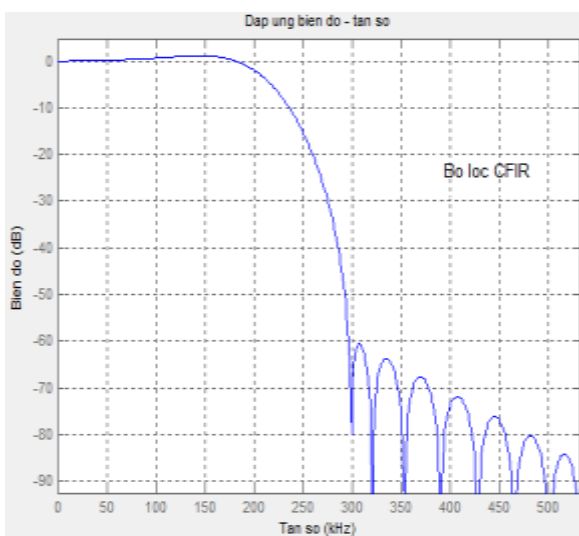
H. 6 Cấu trúc bộ lọc CIC giảm tốc độ lấy mẫu



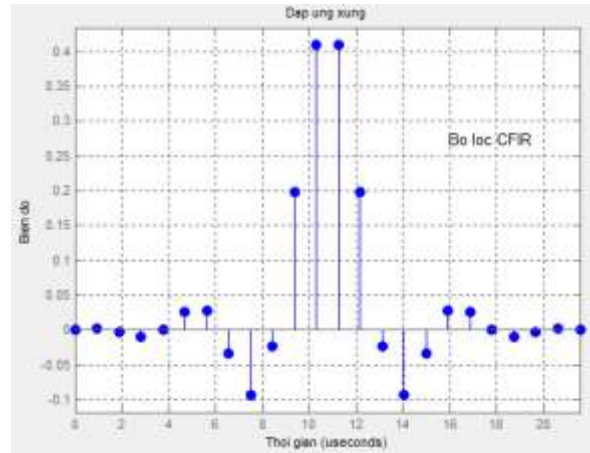
H. 7 Đáp ứng biên độ - tần số của bộ lọc CIC



H. 8 Đáp ứng xung của bộ lọc CIC



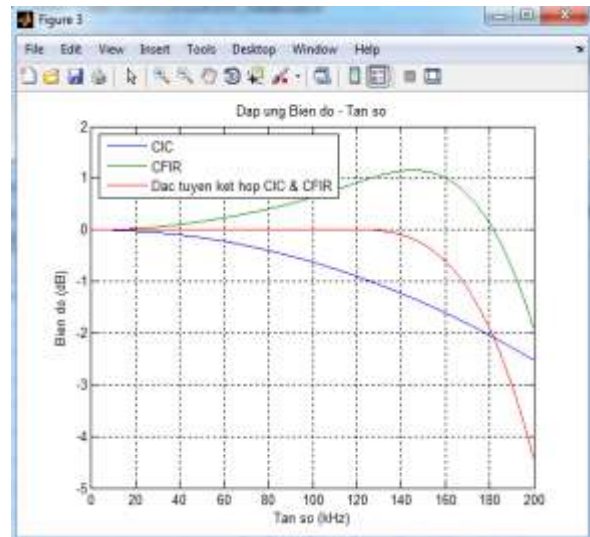
H. 9 Đáp ứng biên độ - tần số bộ lọc CFIR



H. 10 Đáp ứng xung của bộ lọc CFIR

Đặc tuyến biên độ - tần số (xem H. 9) của bộ lọc CFIR thiết kế có dạng nâng lên.

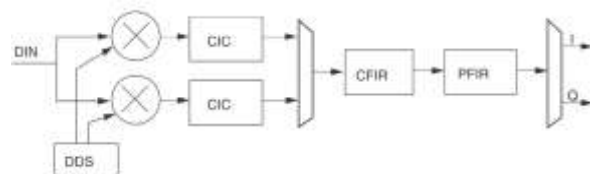
Đặc tuyến kết hợp của CIC và CFIR ở phần dải thông lựa chọn (xem H. 11) có độ dao động càng nhỏ càng tốt sao cho tín hiệu không bị suy hao.



H. 11 Đáp ứng biên độ - tần số kết hợp của CIC và CFIR

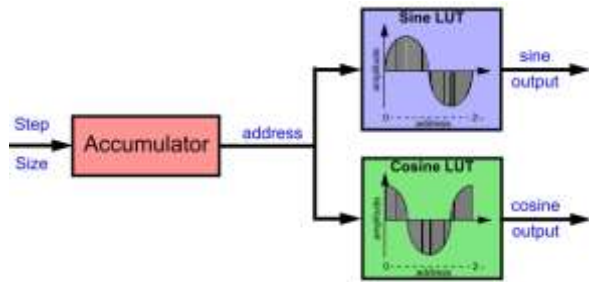
Do mong muốn có đặc tuyến kết hợp của bộ lọc CIC và CFIR bằng phẳng trong dải thông, tần số cắt của đặc tuyến kết hợp này nằm rất xa khỏi dải thông. Vì vậy, để đạt được đặc tuyến tổng hợp của các bộ lọc gần giống với dạng hình chữ nhật, bộ lọc PFIR tiếp tục được sử dụng để hiệu chỉnh tần số cắt cho hệ thống.

Từ những phân tích trên, mô hình chi tiết cho bộ DDC trên chip FPGA (xem H. 12) cần sử dụng cả ba bộ lọc là CIC, CFIR và PFIR.



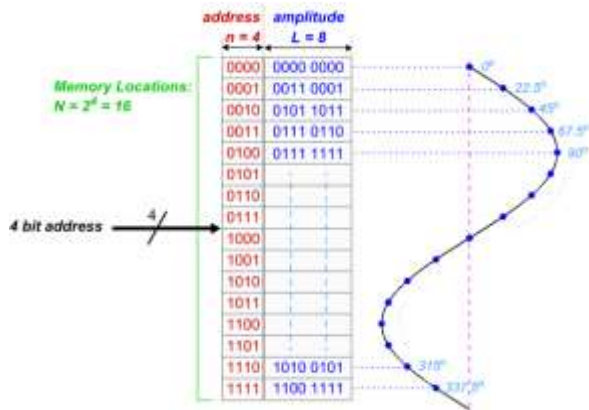
H. 12 Mô hình chi tiết của bộ DDC trên chip FPGA

Bộ DDS thực hiện tạo tần số điều chỉnh dải lựa chọn cho bộ DDC. Mô hình thực hiện của DDS thể hiện trên H. 13.



H. 13 Mô hình thực hiện bộ DDS trên chip FPGA

Đầu vào bộ tích lũy pha theo sơ đồ trên H. 13 được tính toán dựa trên dải lựa chọn của FFT băng rộng. Tín hiệu từ đầu ra của DDS được đọc từ bảng tra lưu trữ giá trị các mẫu của sine và cosine trong bộ nhớ ROM như được thể hiện trên H. 14.



H. 14 Tín hiệu sine và cosine được tạo từ bộ DDS

2.3 Các kết quả thử nghiệm của thiết kế

Giải pháp thiết kế đề xuất (xem H. 15) có thể áp dụng cho các chip FPGA tài nguyên nhỏ.

Các tham số thực hiện thử nghiệm cho giải pháp thiết kế này như sau:

- Dải tần số quan sát của FFT dải rộng: 0-100MHz.
- Kích thước FFT dải rộng và dải hẹp: 1024.
- Tín hiệu cần xác định tần số là tín hiệu hình sin với tần số 24MHz.

Kết quả tính toán với các tham số thử nghiệm:

- Độ phân giải tần số của FFT dải rộng:

$$\frac{100MHz}{1024} = 97.65625KHz ;$$
- Tần số đo được bởi FFT dải rộng (cũng là tần số để thiết lập của DDS trong bộ DDC):

$$\left\lfloor \frac{24MHz}{97.65625KHz} \right\rfloor \times 97.65625KHz = 23925.78125KHz$$

- Tần số cần xác định đối với FFT dải hẹp: 24MHz - 23925.78125KHz = 74.21875KHz
- Độ phân giải tần số của FFT dải hẹp:

$$\frac{97.65625KHz}{1024} \approx 95.36743Hz$$

- Tần số đo được bởi FFT dải hẹp:

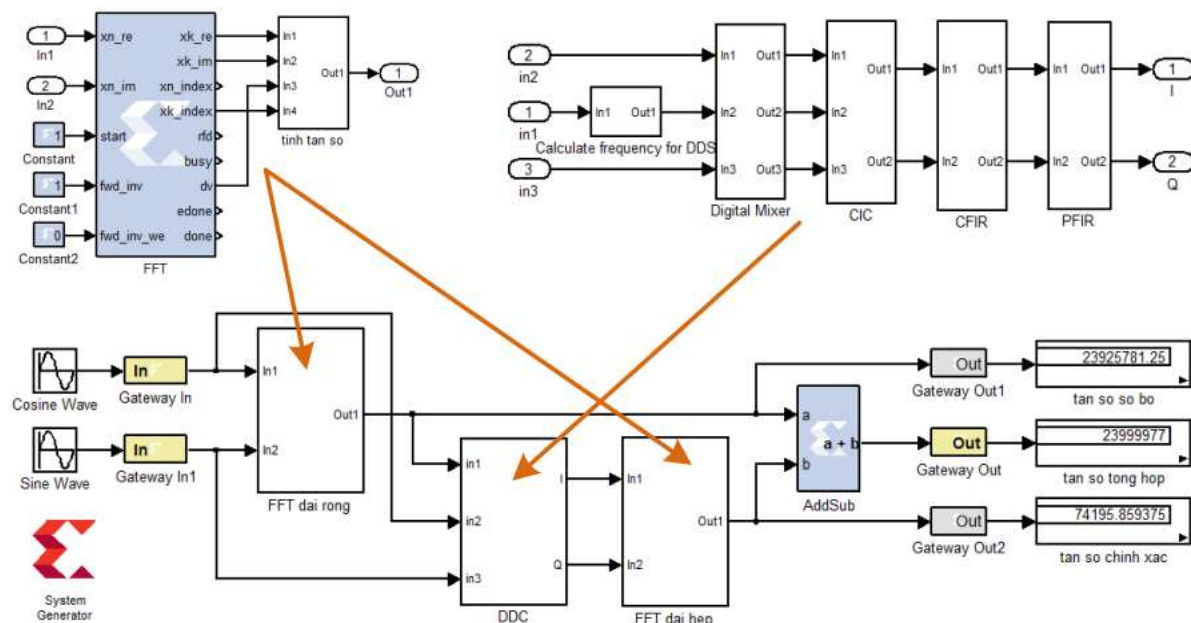
$$\left\lfloor \frac{74.21875KHz}{95.36743Hz} \right\rfloor \times 95.36743Hz \approx 74195.86Hz$$

Kết quả tính toán từ mô hình thiết kế (xem H. 15) nhận được:

- Đầu ra của DDC nhận được là phổ vạch với tần số xấp xỉ 74KHz (xem H. 16)
- Tần số tính toán được bởi FFT dải rộng là: 23925781.25Hz
- Tần số tính toán được bởi FFT dải hẹp là: 74195.859375Hz
- Tổng hợp tần số tính toán được bởi hai FFT này là: 239999977Hz

Theo công thức (4), tần số tìm được từ mô hình thiết kế:

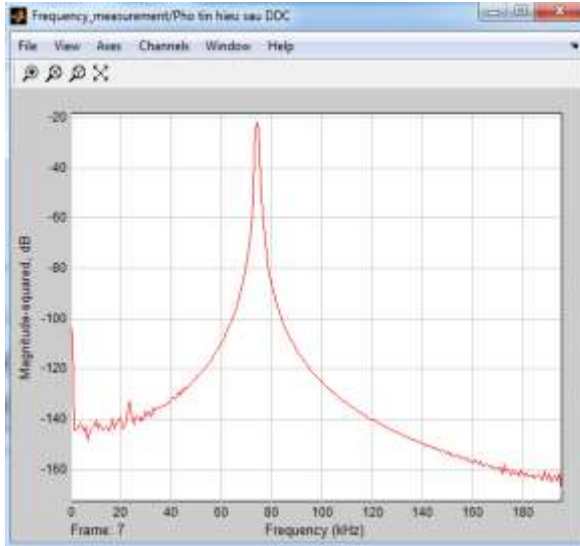
$$239999977 \pm 47.7 (Hz)$$



H. 15 Mô hình chi tiết của bộ DDC trên chip FPGA

Nhận xét:

- Mô hình thiết kế đề xuất nhận được kết quả tính toán phù hợp với giá trị cần tìm.
- Hệ thống xác định được tần số với độ chính xác rất cao.



H. 16 Phổ đầu ra của DDC

3. Kết luận

Bài báo đã đề xuất và thử nghiệm mô hình đo tần số tín hiệu với độ chính xác cao phù hợp với các chip FPGA hiện có, đặc biệt áp dụng cho cả các chip FPGA tài nguyên nhỏ và rất nhỏ. Giải pháp này có thể áp dụng xác định tần số không cần đến các máy đo phân tích phổ. Mô hình này có thể đề xuất ứng dụng trong các hệ thống trinh sát, đo bám tần số.

Tài liệu tham khảo

- [1] Xilinx, pg147: *DUC/DDC Compiler V3.0*. LogiCORE IP Product Guide, November 19, 2014.
- [2] Xilinx, pg141: *DDS Compiler v6.0*. LogiCORE IP Product Guide, June 24, 2015.
- [3] V Elamaran, R Vaishnavi, A Maxel Rozario, Slitta Maria Joseph, Aylwin Cherian, *CIC for decimation and interpolation using Xilinx system generator*, IEEE Communications and Signal Processing (ICCSP), 3-5 April 2013.
- [4] Wu Changrui, Kong Chao, Xie Shigen, Cai Huizhi, *Design and FPGA Implementation of Flexible and Efficiency Digital Down Converter*, Signal Processing (ICSP), 2010 IEEE 10th International Conference, 24-28 Oct. 2010.
- [5] Qing Wang, Songbai He, Ziming Zhong, *Design and Simulation of an Optimized DDS*, Wireless Communications Networking and Mobile Computing (WiCOM), 2010 IEEE 6th International Conference, 23-25 Sept. 2010.
- [6] Xiao Liangfen Liu Yi, *Implementation of distributed FIR digital filter on FPGA*, Electronic Measurement & Instruments

- (ICE MI), 2011 IEEE 10th International Conference on (Volume:3), 16-19 Aug. 2011.
- [7] Xilinx. DS795: *LogiCORE IP FIR Compiler v6.3: Product Specification*. October 19, 2011.
- [8] Xilinx. pg109: *Fast Fourier Transform v9.0*. LogiCORE IP Product Guide, April 1, 2015.
- [9] ZhiJian Sun, XueMei Liu, Zhongxing Ji, *The Design of Radix-4 FFT by FPGA*, IEEE Intelligent Information Technology Application Workshops, 21-22 Dec. 2008.
- [10] Al Sallab, A.; Fahmy, H.; Rashwan, M., *Optimized hardware implementation of FFT processor*, Design and Test Workshop (IDT), 2009 IEEE 4th International Conference, 15-17 Nov. 2009.
- [11] Rodger H. Hosking., *Software Defined Radio Handbook: Seventh Edition*, Pentek, Inc. 2008.
- [12] Xilinx. UG639, *System Generator for DSP: Getting Started Guide V.14.7*, October 16, 2012.
- [13] Xilinx. UG640, *System Generator for DSP: User Guide V.14.7*, October 16, 2012.
- [14] Xilinx. UG638, *System Generator for DSP: Reference Guide V14.7*, March 20, 2013.
- [15] Trần Văn Nghĩa, *Nghiên cứu, thiết kế máy thu thể hệ số software defined radio trên công nghệ FPGA*, Tuyển tập báo cáo khoa học – Hội nghị Đo lường toàn quốc lần thứ 5, tháng 5, 2010.
- [16] Nguyễn Thế Hiếu, Trần Xuân Kiên, Trần Văn Nghĩa, *Nghiên cứu, thiết kế bộ chuyển dịch tín hiệu về dải cơ sở trên nền công nghệ FPGA*, Tạp chí Nghiên cứu KH&CN Quân sự, tháng 10, 2010.



Trần Văn Nghĩa sinh năm 1985. Anh nhận bằng kỹ sư Điện - điện tử của Học viện KTQS năm 2009. Hiện anh đang là nghiên cứu sinh tại trường Đại học Vật lý kỹ thuật Matxcova. Hướng nghiên cứu chính là thiết kế các hệ xử lý tín hiệu số và điều khiển trong các hệ thống vô tuyến và hữu tuyến; và thiết kế các hệ thống trong lĩnh vực an toàn thông tin bằng phần cứng.