

Nghiên cứu, thiết kế bộ đảo tần lên và đảo tần xuống cho các hệ thống vô tuyến cấu hình mềm hiệu quả tài nguyên trên công nghệ FPGA

Research, design of digital up and down converter for the software defined radio systems with efficient resources on FPGA technology

Trần Văn Nghĩa

Trường ĐH Vật lý kỹ thuật Matxcova

e-Mail: ngiamosmpt@gmail.com

Tóm tắt

Bài báo trình bày kiến trúc và thực hiện bộ đảo tần lên và đảo tần xuống số trên chip FPGA với tài nguyên tối ưu có khả năng thích hợp cho sự phát triển của công nghệ vô tuyến cấu hình mềm. Chúng có thể áp dụng rộng rãi trong các ứng dụng xử lý tín hiệu số và các hệ thống thông tin số. Minh họa thiết kế cho hệ thống thu phát dựa trên kỹ thuật điều chế QPSK. Thiết kế được thực hiện bằng công cụ System Generator for DSP 14.7.

Từ khóa: Bộ đảo tần lên, DUC, bộ đảo tần xuống, DDC, điều chế và giải điều chế QPSK, bộ lọc có đặc trưng cosin nâng căn bậc hai, bộ lọc thông thấp nửa băng, bộ lọc CIC, bộ lọc bù CFIR, Bộ tổ hợp tần số trực tiếp DDS, System Generator.

Abstract:

This paper presents the architecture and implementation of digital up and down converter targeting an FPGA device with efficient resources which are well suited for the evolving technology of software defined radio systems. They may be widely adopted in the applications of digital signal processing and digital communication systems. Demonstration of design of transceiver systems with QPSK modulation technique. This design is done by the System Generator for DSP tool 14.7.

Keywords: digital up converter, DUC, digital down converter, DDC, QPSK mapper and demapper, Root-raised-cosine filter, half band low pass filters, CIC filters, Compensation Filter CFIR, direct digital synthesizer DDS, System Generator.

Ký hiệu

Ký hiệu	Đơn vị	Ý nghĩa
T		Chu kỳ lấy mẫu của tín hiệu
A		Biên độ tín hiệu
$ t $		Trị tuyệt đối của t
N		Bậc của bộ lọc số
x(n)		Tín hiệu đầu vào bộ lọc
y(n)		Tín hiệu đầu ra bộ lọc
h(n)		Đáp ứng xung của bộ lọc
H(z)		Đáp ứng của bộ lọc số trong miền Z

$H(\omega)$	Đáp ứng tần số của bộ lọc
$H_T(\omega)$	Đặc tuyến tần số phía bộ phát
$H_R(\omega)$	Đặc tuyến tần số phía bộ thu
*	Phép toán tích chập
$\delta(n)$	Hàm xung đơn vị
W	Dài thông
β	Hệ số làm phẳng
R	Hệ số nội suy / giảm mẫu

Chữ viết tắt

QPSK	Quadrature Phase Shift Keying
SDR	Software defined radio
DUC	Digital up converter
DDC	Digital down converter
RRC filter	Root-raised-cosine filter
RC filter	Raised-cosine filter
CIC	Cascaded Integrator-Comb filter
CFIR	CIC Compensation filter
HB filter	Half band low pass filters
DDS	Direct Digital Synthesizer
VCO	Voltage Controlled Oscillators
MAC	Multiply - Add
FIR	Finite Impulse Response
FPGA	Field-programmable Gate Arrays
I	In-phase component
Q	Quadrature-phase component
IF	Intermediate frequency
RF	Radio frequency
ISI	Intersymbol interference

1. Phần mở đầu

Ngày nay SDR được các kỹ sư thiết kế hệ thống vô tuyến đặc biệt quan tâm bởi khả năng lập trình và cấu hình lại. Với mật độ tích hợp rất cao và tốc độ xử lý cho phép cao của các chip FPGA hiện nay đã cho phép thiết kế các hệ thống vô tuyến trong các dải sóng trung bình, sóng ngắn và hầu như cả dải sóng cực ngắn hoàn toàn bằng số tích hợp chỉ trong một chip FPGA. Đối với các hệ thống vô tuyến hoạt động ở dải tần cao hơn, FPGA được ứng dụng để xử lý tín hiệu ở băng tần cơ sở và trung tần. Trong hệ thống vô tuyến cấu hình mềm, thành phần được các kỹ sư tập trung phát triển nhất là các bộ đảo

tần lên và xuống số sao cho tối thiểu hóa tài nguyên sử dụng nhưng đạt được tốc độ cao.

Chính vì thế, tác giả bài báo đã tập trung thiết kế và thử nghiệm bộ DDC và DUC trên công cụ System Generator. Kỹ thuật điều chế và giải điều chế QPSK được lựa chọn làm phần xử lý tín hiệu băng cơ sở.

2. Nội dung chính

2.1 Kỹ thuật điều chế QPSK

Điều chế QPSK đã được ứng dụng rộng rãi trong các hệ thống thông tin số, chẳng hạn như các hệ thống truyền hình số mặt đất, truyền hình số vệ tinh, truyền hình cáp... Mô tả toán học của điều chế QPSK như sau:

$$s(t) = A \cos(2\pi f_c t + \theta_i), \quad i = 1, 2, 3, 4. \quad (1)$$

$$\theta_i = \frac{(2i-1)\pi}{4} \quad (2)$$

Pha của tín hiệu có thể và pha ban đầu nhận một trong bốn giá trị: $\frac{\pi}{4}, \frac{3\pi}{4}, \frac{5\pi}{4}, \frac{7\pi}{4}$.

Khai triển công thức (1) ta nhận được:

$$s(t) = A \cos \theta_i \cos(2\pi f_c t) - A \sin \theta_i \sin(2\pi f_c t) \quad (3)$$

Do đó có thể biểu diễn tín hiệu điều chế QPSK ở dạng khác:

$$s(t) = \frac{A}{\sqrt{2}} I(t) \cos(2\pi f_c t) - \frac{A}{\sqrt{2}} Q(t) \sin(2\pi f_c t) \quad (4)$$

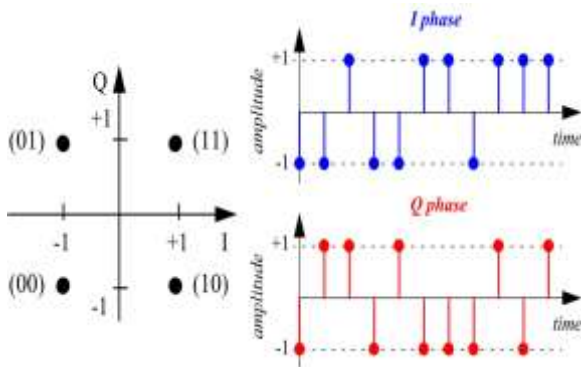
Trong đó:

$$I(t) = \sqrt{2} \cos \theta_i, \quad i = 1, 2, 3, 4. \quad (5)$$

$$Q(t) = \sqrt{2} \sin \theta_i, \quad i = 1, 2, 3, 4. \quad (6)$$

Với bốn giá trị có thể nhận của góc pha θ_i ta thấy các thành phần I và Q chỉ có thể nhận một trong hai giá trị $+1, -1$. Các thành phần I và Q này liên hệ trực tiếp với chuỗi bit dữ liệu đưa vào điều chế.

Thực hiện ánh xạ theo thứ tự bit lẻ của dòng dữ liệu vào thành phần I và bit chẵn vào Q ta nhận được chòm sao như mô tả trên H. 1.

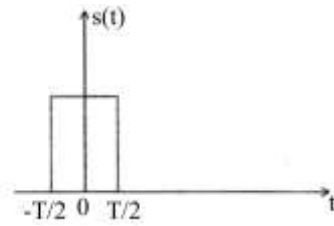


H. 1 Mẫu tín hiệu và chòm sao điều chế QPSK

2.2 Kỹ thuật đảo tần lên số

Sau quá trình xử lý băng gốc, các mẫu dữ liệu là tín hiệu xung có chu kỳ lấy mẫu T với biên độ được lượng tử. Chúng ta xét một xung tín hiệu (xem H. 2) làm đại diện cho các mẫu tín hiệu với biên độ chúng ta chuẩn hóa là 1. Biểu diễn toán học của tín hiệu này có dạng:

$$s(t) = \begin{cases} 1, & |t| \leq \frac{T}{2} \\ 0, & |t| > \frac{T}{2} \end{cases} \quad (7)$$



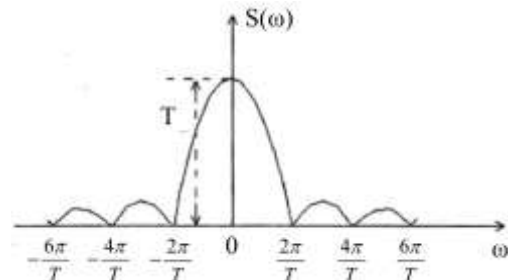
H. 2 Xung mẫu tín hiệu

Để thấy đặc trưng phổ, ta thực hiện phép biến đổi Fourier cho tín hiệu này:

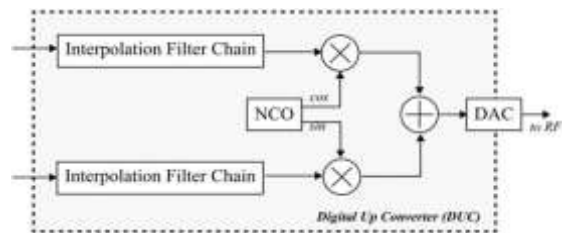
$$S(j\omega) = \int_{-\infty}^{+\infty} s(t)e^{-j\omega t} dt = \int_{-T/2}^{T/2} e^{-j\omega t} dt$$

$$S(j\omega) = \frac{1}{-j\omega} e^{-j\omega t} \Big|_{-T/2}^{T/2} = \frac{T \sin(\omega T / 2)}{(\omega T / 2)} \quad (8)$$

Đặc trưng biên độ phổ của các mẫu tín hiệu có dạng $\left| \frac{\sin(x)}{x} \right|$ (xem H. 3).



H. 3 Đặc trưng biên độ phổ của xung mẫu tín hiệu



H. 4 Kiến trúc chung của bộ DUC

Như vậy các mẫu tín hiệu có phổ rất rộng nên không phù hợp trong các kênh truyền. Đồng thời chúng sẽ gây nhiễu giữa các symbol (nhiều ISI) do các hài phụ. Vì thế, tín hiệu sau khi xử lý băng gốc cần phải được hạn chế băng thông, đồng thời giảm nhiễu ISI. Hơn nữa, tín hiệu ở băng tần cơ sở cần phải tiếp tục được nội suy để đạt đến tốc độ lấy mẫu mà tại đó tín hiệu được điều chế vào sóng mang IF hoặc RF. Do đó, cấu trúc tổng quát bộ DUC (xem H. 4) bao gồm tổ hợp kênh lọc nội suy và bộ tạo dao động DDS.

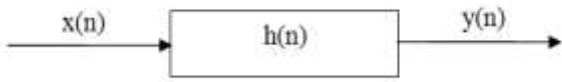
2.2.1 Kênh lọc nội suy

Bộ lọc số có đáp ứng xung hữu hạn FIR tổng quát là một hệ thống số được mô tả bởi phương trình sai phân:

$$y(n) = \sum_{k=0}^{N-1} w_k x(n-k) \quad (9)$$

Hoặc thể hiện dưới dạng đáp ứng xung (xem H. 5):

$$y(n) = \sum_{k=0}^{N-1} x_k h(n-k) = x(n) * h(n) \quad (10)$$



H. 5 Mô tả bộ lọc số theo đáp ứng xung

$$h(n) = \sum_{k=0}^{N-1} w_k \delta(n-k) = \begin{cases} w_n, 0 \leq n < N \\ 0, n \notin [0, N) \end{cases} \quad (11)$$

$$\delta(n) = \begin{cases} 1, n = 0 \\ 0, n \neq 0 \end{cases} \quad (12)$$

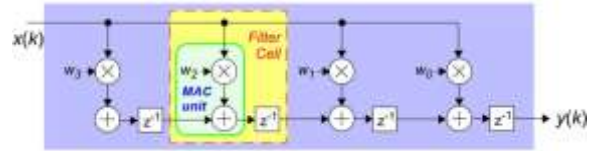
Thông qua phép biến đổi Z phương trình (10) chúng ta nhận được:

$$Y(z) = X(z).H(z) \quad (13)$$

Kết hợp với biến đổi Z phương trình (11) suy ra:

$$H(z) = \frac{Y(z)}{X(z)} = \sum_{k=0}^{N-1} w_k z^{-k} \quad (14)$$

Từ đó có thể tổng quát cấu trúc chung của bộ lọc FIR bao gồm các khâu MAC (như trên H. 6 thể hiện bộ lọc FIR bậc 4).



H. 6 Cấu trúc chung của bộ lọc FIR bậc 4

Tương tự, sử dụng phép biến đổi Fourier rời rạc các phương trình (10) và (11) chúng ta nhận được đáp ứng tần số của bộ lọc FIR:

$$H(\omega) = \frac{Y(\omega)}{X(\omega)} = \sum_{k=0}^{N-1} w_k (e^{j\omega})^{-k} \quad (15)$$

Để xây dựng bộ lọc số, chúng ta cần tổng hợp đáp ứng xung h(n) hoặc đáp ứng tần số H(ω).

Như đã phân tích ở trên, các mẫu dữ liệu số có biên độ phổ dạng $\left| \frac{\sin(x)}{x} \right|$, do đó để đạt được mục đích hạn

chế dải thông tín hiệu trong kênh truyền và giảm nhiễu ISI người ta sử dụng bộ lọc RC. Bộ lọc này được xây dựng theo tiêu chuẩn Nyquist dựa trên các xung dạng cosine nâng (raised cosine pulses) để xấp xỉ đặc tuyến dạng $\left| \frac{\sin(x)}{x} \right|$.

Bảng thông của mẫu tín hiệu W khi này được xác định là khoảng cách từ gốc tọa độ đến điểm không đầu tiên theo đặc trưng phổ biên độ (xem H. 3). W khi này còn được gọi là băng thông Nyquist.

$$W = \frac{1}{2T} \quad (16)$$

$$H(f) = \begin{cases} T, |f| \leq \frac{1-\beta}{2T} \\ \frac{T}{2} \left\{ 1 + \cos \left(\frac{\pi T}{\beta} \left[|f| - \frac{1-\beta}{2T} \right] \right) \right\} = T \cos^2 \left(\frac{\pi T}{2\beta} \left[|f| - \frac{1-\beta}{2T} \right] \right), \frac{1-\beta}{2T} < |f| \leq \frac{1+\beta}{2T} \\ 0, |f| > \frac{1+\beta}{2T} \end{cases} \quad (17)$$

Đặc trưng biên độ - tần số H(f) của bộ lọc RC phụ thuộc vào hai tham số là T và β. Trong đó, β xác định khoảng Δf vượt quá băng thông của bộ lọc so với dải thông chiếm giữ Nyquist.

$$\beta = \frac{\Delta f}{W} = \frac{\Delta f}{1/2T} = 2T\Delta f \quad (18)$$

Với β nằm trong dải từ 0 đến 1.

Độ rộng băng thông của bộ lọc RC khi này được xác định:

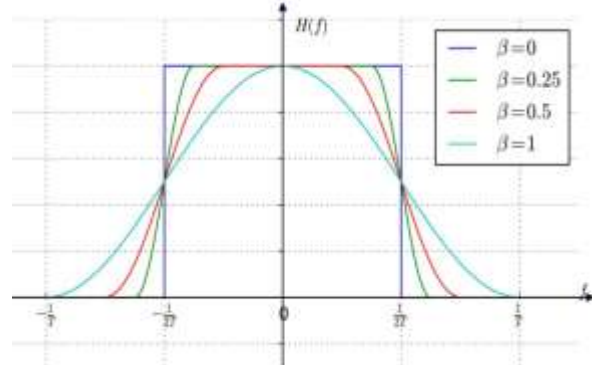
$$BW = W(1+\beta) = \frac{1+\beta}{2T} \quad (19)$$

Biến đổi Fourier ngược phương trình (17) chúng ta nhận được đáp ứng xung của bộ lọc RC.

$$h(t) = \frac{\sin(\pi t/T)}{(\pi t/T)} \cdot \frac{\cos(\pi\beta t/T)}{1-(2\beta t/T)^2} \quad (20)$$

Đáp ứng xung cho thấy hai thành phần. Thành phần đầu tiên có dạng sin(x)/x để đảm bảo rằng bộ lọc có các cực không tại các thời điểm bội lần chu kỳ lấy mẫu (xem H. 7). Như vậy có thể dễ dàng trích mẫu thông tin theo thời gian. Thành phần thứ hai là hàm

cosine để hiệu chỉnh cho thành phần thứ nhất làm cho nó có đặc tuyến tần số tốt hơn (xem H. 8).

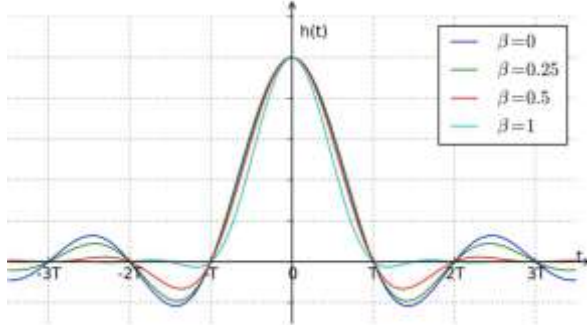


H. 7 Đặc tuyến biên độ tần số của bộ lọc RC

Xét các trường hợp cụ thể:

- Khi β=0, đáp ứng xung của bộ lọc RC hoàn toàn dạng sin(x)/x nên đặc tuyến biên độ tần số sẽ có dạng hình vuông.
- Khi β=1, từ phương trình (17) ta thấy đặc tuyến tần số là hàm cosine thuần nên đơn giản hơn.

- β càng nhỏ thì đặc tuyến biên độ tần số của bộ lọc càng tiến đến hình vuông, còn đáp ứng xung trở nên dao động mạnh hơn, nghĩa là kéo dài hơn.



H. 8 Đáp ứng xung của bộ lọc RC

Khi sử dụng để làm bộ lọc cho các symbol, bộ lọc theo tiêu chuẩn Nyquist cần phải có thuộc tính loại bỏ nhiễu ISI, tức là đáp ứng xung của nó bằng không ở tất cả thời điểm nguyên lần chu kỳ lấy mẫu, ngoại trừ ở gốc $n = 0$. Khi đó, ở phía thu nếu việc trích mẫu chính xác thì các giá trị của symbol được khôi phục hoàn toàn.

Tuy nhiên, các hệ thống thông tin thực tế có sử dụng các bộ lọc phối hợp do ảnh hưởng của tạp trắng. Do đó, để thỏa mãn việc làm giảm thiểu ảnh hưởng của nhiễu ISI, đáp ứng xung phối hợp của hai bộ lọc này (một bộ ở phía và một bộ ở phía thu) thỏa mãn đáp ứng của bộ lọc RC. Nghĩa là:

$$H_R(f) \cdot H_T(f) = H(f) \quad (21)$$

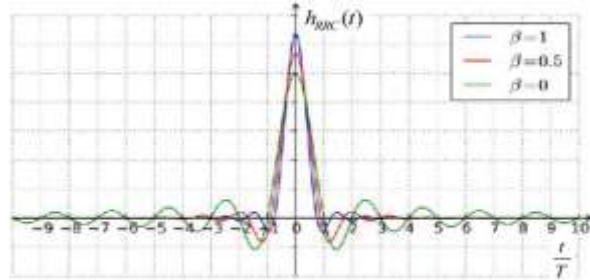
Để thỏa mãn điều kiện phối hợp, đáp ứng của hai bộ lọc này là giống nhau. Như vậy ta có:

$$|H_R(f)| = |H_T(f)| = \sqrt{|H(f)|} \quad (22)$$

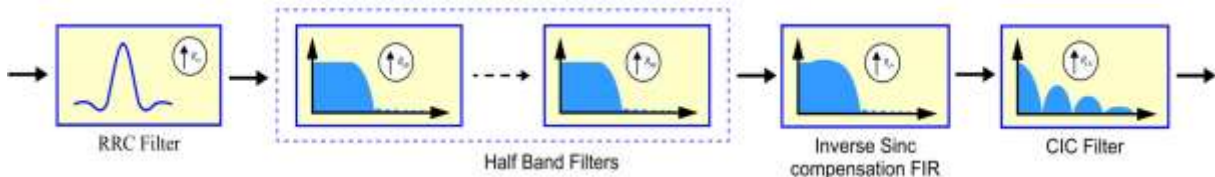
Như vậy, bộ lọc RC có thể tách thành hai bộ lọc có đặc trưng biên độ - tần số giống nhau và bằng căn bậc hai của bộ lọc này. Thành ra, bộ lọc có đáp ứng biên độ - tần số như vậy được gọi là bộ lọc RRC.

Đặc tuyến tần số của bộ lọc RRC khi này có thể biểu diễn dưới dạng toán học bằng biểu thức (23). Biến đổi ngược Fourier (23) ta nhận được đáp ứng xung của bộ lọc RRC (24).

So với đáp ứng xung của bộ lọc RC, đáp ứng xung của bộ lọc RRC khác không ở các thời điểm bội lần chu kỳ lấy mẫu ngoại trừ trường hợp $\beta = 0$. Tuy nhiên đáp ứng xung kết hợp ở cả phía thu và phía phát tạo thành đáp ứng xung của bộ lọc RC.



H. 9 Đáp ứng xung của bộ lọc RRC



H. 10 Cấu trúc chung của kênh lọc nội suy

$$H_{RRC}(f) = \begin{cases} \sqrt{T}, |f| \leq \frac{1-\beta}{2T} \\ \sqrt{\frac{T}{2} \left[1 + \cos \left(\frac{\pi T}{\beta} \left[|f| - \frac{1-\beta}{2T} \right] \right) \right]}, \frac{1-\beta}{2T} < |f| \leq \frac{1+\beta}{2T} \\ 0, |f| > \frac{1+\beta}{2T} \end{cases} \quad (23)$$

$$h_{RRC}(t) = \begin{cases} \frac{1}{\sqrt{T}} \left(1 - \beta + \frac{4\beta}{\pi} \right), t = 0 \\ \frac{\beta}{\sqrt{2T}} \left[\left(1 + \frac{2}{\pi} \right) \sin \left(\frac{\pi}{4\beta} \right) + \left(1 - \frac{2}{\pi} \right) \cos \left(\frac{\pi}{4\beta} \right) \right], t = \pm \frac{T}{4\beta} \\ \frac{1}{\sqrt{T}} \frac{\sin \pi t(1-\beta)/T + (4\beta t/T) \cos \pi t(1+\beta)/T}{(\pi t/T) [1 - (4\beta t/T)^2]}, t \neq \left\{ 0, \pm \frac{T}{4\beta} \right\} \end{cases} \quad (24)$$

Bộ lọc có khả năng nội suy tốc độ lấy mẫu lớn nhất được sử dụng trong các hệ thống vô tuyến là bộ lọc CIC. Do đó, cấu trúc chung sử dụng trong các kênh lọc nội suy như thể hiện trên H. 10.

Bộ lọc CIC có ưu điểm là cấu trúc đơn giản và tốc độ hoạt động nhanh nên thích hợp cho việc xử lý tín hiệu đa tốc độ trong hệ thống vô tuyến cấu hình mềm. Đáp

ứng xung của bộ lọc CIC có thể được mô tả về toán học bằng phương trình (25).

$$h_{CIC}(n) = \begin{cases} 1, 0 \leq n \leq R-1 \\ 0, n \notin [0; R-1] \end{cases} \quad (25)$$

Thực hiện biến đổi Z phương trình (25) ta nhận được đáp ứng của bộ lọc CIC trong miền Z.

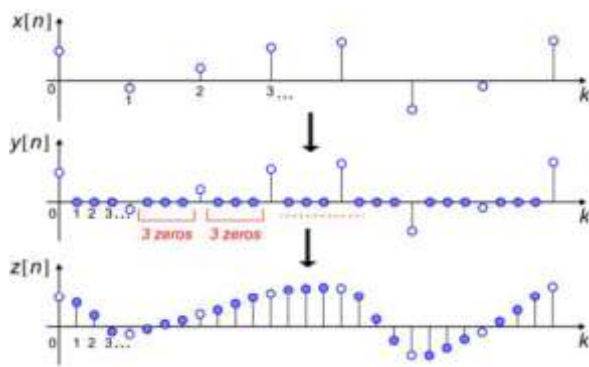
$$H_{CIC}(z) = \sum_{n=0}^{R-1} h(n)z^{-n} = \frac{1-z^{-R}}{1-z^{-1}} = H_1(z).H_2(z) \quad (26)$$

Trong đó:

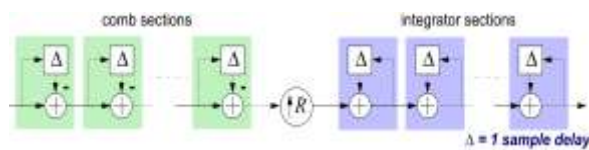
$$H_1(z) = \frac{1}{1-z^{-1}} \quad (27)$$

$$H_2(z) = 1-z^{-R} \quad (28)$$

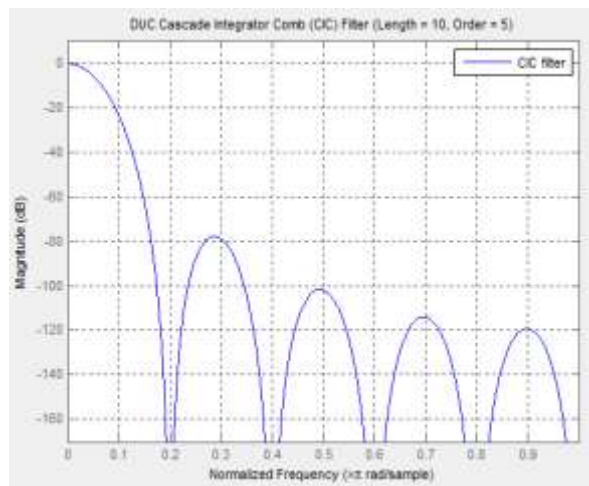
$H_1(z)$ có đặc trưng của một bộ tích phân, trong khi $H_2(z)$ có đặc trưng dạng răng lược. Như vậy, để thực hiện lọc thông thấp và nội suy, cấu trúc của bộ lọc CIC thực hiện trước tiên bằng các bộ lọc răng lược sau đó chèn các mẫu không và cuối cùng thực hiện lấy tích phân để nội suy dữ liệu (xem H. 11). Từ đó ta có cấu trúc của CIC nội suy trên H. 12.



H. 11 Quá trình nội suy của bộ lọc CIC (R = 4)

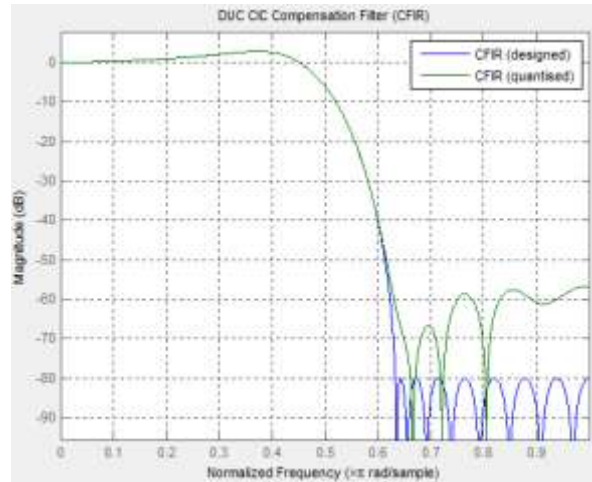


H. 12 Cấu trúc của bộ lọc CIC nội suy



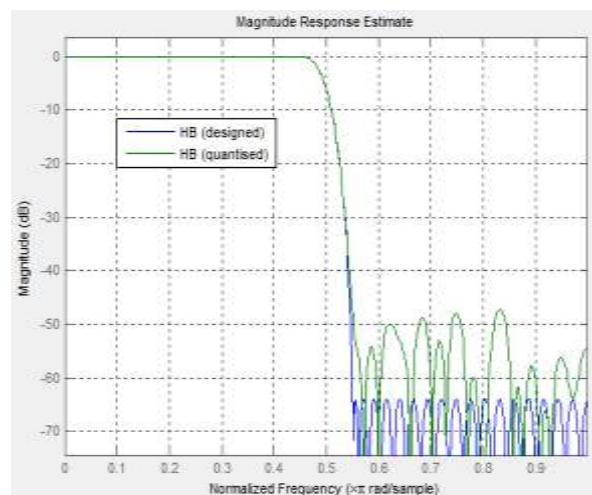
H. 13 Đặc tuyến biên độ - tần số của bộ lọc CIC

Bộ lọc CIC có độ dốc lớn trong dải thông (xem H. 13) do tốc độ nội suy lớn nên chúng ta sử dụng bộ lọc CFIR có đặc tuyến nâng lên để bù lại độ dốc của CIC (xem H. 14). Bộ lọc CFIR nội suy thấp nên làm việc với tốc độ lấy mẫu thấp. Do vậy, CFIR đứng trước bộ lọc CIC trong hệ thống.



H. 14 Đặc tuyến biên độ - tần số của bộ lọc bù CFIR

Để giảm ảnh hưởng do việc nội suy lớn của bộ lọc CIC, người ta có thể kết hợp thêm các bộ lọc HB nếu cần thiết. Khi này bộ lọc HB sẽ thực hiện mở rộng băng thông cho kênh lọc nội suy và hoạt động ở tần số lấy mẫu thấp, nên HB được sử dụng sau bộ lọc RRC.

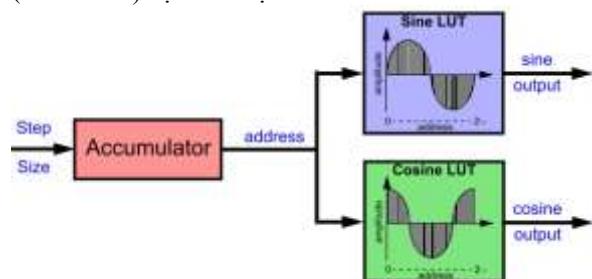


H. 15 Đặc tuyến biên độ - tần số của bộ lọc HB

Bộ lọc HB chỉ thực hiện hỗ trợ nội suy và mở rộng băng thông cho hệ thống, nên đặc tuyến biên độ - tần số của HB cần bằng phẳng trong dải thông để không làm suy hao tín hiệu (xem H. 15).

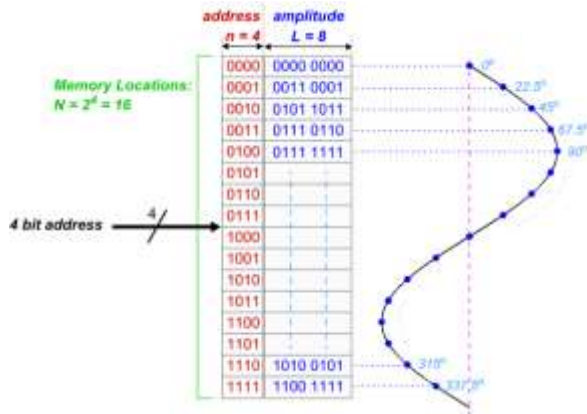
2.2.2 Bộ tổ hợp tần số DDS

Bộ DDS thực hiện tạo tần số điều chế tín hiệu lên dải IF hoặc RF cho bộ DUC. Mô hình thực hiện của DDS (xem H. 16) dựa trên bộ VCO.



H. 16 Mô hình thực hiện bộ DDS dựa trên VCO

Tín hiệu từ đầu ra của DDS được đọc từ bảng tra lưu trữ giá trị các mẫu của sine và cosine trong bộ nhớ ROM như được thể hiện trên H. 17.



H. 17 Tín hiệu sine và cosine được tạo từ bộ DDS

Sau kênh lọc nội suy, tín hiệu gồm hai thành phần I và Q sẽ được điều chế IF hoặc RF. Chúng ta ký hiệu chung tần số tạo bởi bộ DDS ω_s cho cả hai trường hợp đầu ra bộ DUC là IF hoặc RF.

$$x_{dds}(t) = \cos(\omega_s t) + j \sin(\omega_s t) \quad (29)$$

Tín hiệu trên kênh I và Q sau điều chế đảo tần lên:

$$x_I(t) = I(t) \cdot \cos(\omega_s t) \quad (30)$$

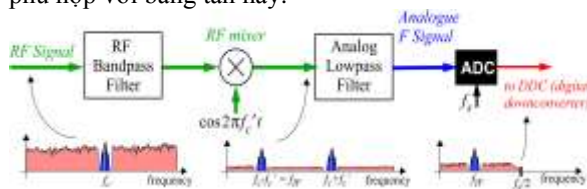
$$x_Q(t) = Q(t) \cdot \sin(\omega_s t) \quad (31)$$

Tín hiệu phát đi là tổng của hai thành phần từ hai kênh I và Q của bộ DUC.

$$x(t) = I(t) \cos(\omega_s t) + Q(t) \sin(\omega_s t) \quad (32)$$

2.3 Kỹ thuật đảo tần xuống số

Bộ DDC thực hiện chọn ra dải tần quan tâm để chuyển về dải băng tần cơ sở và giảm tần số lấy mẫu phù hợp với băng tần này.



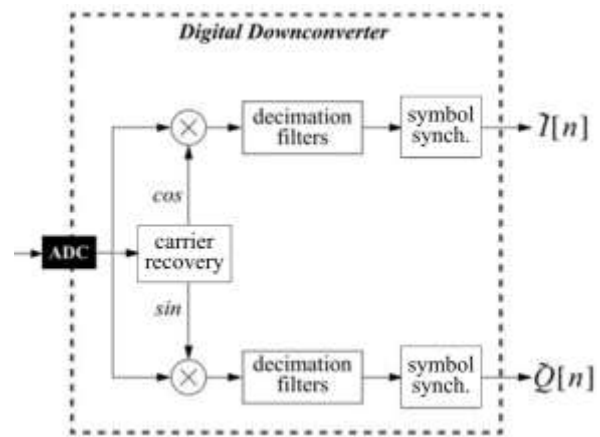
H. 18 Cấu trúc mạch RF trong hệ thống SDR

Kiến trúc chung của hệ thống vô tuyến cấu hình mềm (xem H. 18) thường bao gồm phần RF. Trong đó, khối RF thực hiện chuyển tín hiệu dải RF thu được từ anten về dải IF. Sau đó, bộ ADC thực hiện lấy mẫu tín hiệu rồi đưa vào xử lý trong DDC. Trong trường hợp dải tín hiệu RF không quá lớn để có thể thực hiện bộ thu hoàn toàn số, thì hệ thống không sử dụng thêm mạch RF này.

$$A(t) \cos(2\pi f_1 t + \phi_1) \cos(2\pi f_2 t + \phi_2) = \frac{A(t)}{2} \cos(2\pi(f_1 + f_2)t + \phi_1 + \phi_2) + \cos(2\pi(f_1 - f_2)t + \phi_1 - \phi_2) \quad (34)$$

$$A(t) \cos(2\pi f_1 t + \phi_1) \sin(2\pi f_2 t + \phi_2) = \frac{A(t)}{2} \sin(2\pi(f_1 + f_2)t + \phi_1 + \phi_2) - \sin(2\pi(f_1 - f_2)t + \phi_1 - \phi_2) \quad (35)$$

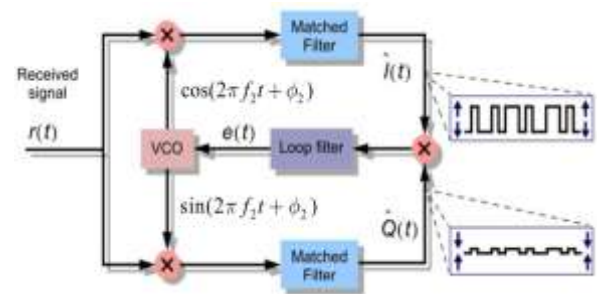
Bộ lọc phối hợp trong vòng lặp costas được sử dụng để loại bỏ thành phần tần số tổng và thực hiện lấy



H. 19 Cấu trúc bộ DDC trên FPGA

2.3.1 Kỹ thuật khôi phục sóng mang

Bộ khôi phục sóng mang trong các hệ thống vô tuyến cấu hình mềm yêu cầu tái tạo lại tín hiệu sóng mang cả về tần số và pha từ tín hiệu thu được có điều chế để đồng bộ ở thiết bị thu. Các bộ khôi phục sóng mang trong đó thường sử dụng là các bộ Costas loops hoặc Squaring loops. Trong đó, kỹ thuật Squaring loops thực hiện lấy bình phương tín hiệu thu được để nhân đôi tần số nên yêu cầu tốc độ lấy mẫu tín hiệu thu lớn. Do đó, thiết kế lựa chọn kỹ thuật Costas loops.



H. 20 Cấu trúc bộ Costas loops

Chúng ta giả thiết tín hiệu ở đầu vào bộ DDC có tần số thực tế f_1 được mô tả bằng phương trình toán học:

$$r(t) = A(t) \cos(2\pi f_1 t + \phi_1) \quad (33)$$

Trong thực tế, f_1 khác tần số danh định của tín hiệu IF f_{IF} tại phía thu do sai số của bộ DDS trong DUC, sai số của bộ dao động trong mạch RF phía phát và mạch RF phía thu. Trong trường hợp các mạch RF (phía phát và phía thu) có bộ tạo dao động sử dụng bộ vòng lặp khóa pha (phase locked loop - PLL) thì sai số f_1 khi này phụ thuộc chỉ vào DDS trong bộ DUC.

Giả thiết, tần số thiết lập ban đầu cho bộ VCO là f_2 . Đầu ra bộ nhân tín hiệu trong vòng lặp Costas nhận được hai thành phần tần số tổng và hiệu của f_1 và f_2 :

mẫu lại theo tốc độ của symbol. Tín hiệu đầu ra bộ lọc phối hợp nhận được:

$$\hat{I}(t) = \frac{A(t)}{2} \cos(2\pi(f_1 - f_2)t + \phi_1 - \phi_2) \quad (36)$$

$$\hat{Q}(t) = \frac{A(t)}{2} \sin(2\pi(f_1 - f_2)t + \phi_1 - \phi_2) \quad (37)$$

Đặt:

$$\Delta f(t) = f_1 - f_2; \Delta \phi(t) = \Delta f(t)t + \phi_1 - \phi_2$$

Thế vào (36) và (37) nhận được:

$$\hat{I}(t) = \frac{A(t)}{2} \cos(\Delta \phi(t)) \quad (38)$$

$$\hat{Q}(t) = \frac{A(t)}{2} \sin(\Delta \phi(t)) \quad (39)$$

Đầu ra bộ lọc phối hợp mang thông tin về độ lệch tần số và pha của tín hiệu thu được và VCO. Với những phân tích trên chúng ta thấy, sai số của f_1 và f_2 với giá trị tần số danh định là nhỏ, nên sai số tương đối của Δf với tần số danh định cỡ $10^{-3}\%$ là rất nhỏ khi FPGA sử dụng thạch anh làm đồng hồ tổ hợp các tần số này.

Đầu vào của bộ lọc loop filter là tích của hai tín hiệu trên hai kênh I và Q:

$$\hat{I}(t)\hat{Q}(t) = \frac{A^2(t)}{4} \cos \Delta \phi t \cdot \sin \Delta \phi t = \frac{A^2(t)}{8} \sin 2\Delta \phi t \quad (40)$$

Bộ lọc loop filter thực hiện loại bỏ tất cả nhiễu tạp tác động đến thành phần biên độ tại phía thu. Đầu ra bộ lọc này chúng ta nhận được tín hiệu:

$$e(t) = \frac{1}{8} \overline{A^2(t)} \sin 2\Delta \phi t \quad (41)$$

Với điều chế QPSK, sau khi loại bỏ nhiễu tạp tác động đến biên độ thì $A(t) = +1; -1 \neq 0$ nên đầu ra của loop filter mang thông tin về độ lệch pha và tần số.



H. 24 *Kênh lọc giảm mẫu trong DDC*

Đặc tuyến biên độ - tần số và đáp ứng xung của các bộ lọc này tương tự với thiết kế trong DUC như thể hiện trên H. 9, H. 14 và H. 15.

2.4 Các kết quả thử nghiệm của thiết kế

Thiết kế (xem H. 25) thực hiện thử nghiệm với các tham số lựa chọn:

- Tốc độ lấy mẫu các symbol trên hai kênh I/Q: 1.25MHz.
- Tần số IF: 25MHz
- Tốc độ nội suy và giảm mẫu: 80
- Mô hình kênh truyền: Sử dụng tạp trắng phát từ trong FPGA

Các bo mạch sử dụng để thử nghiệm: NetFPGA-1G-CML và AD9739A FMC Card

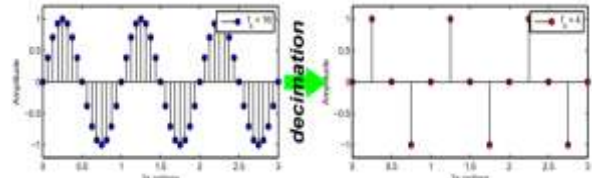
Kết quả thử nghiệm thể hiện trên H. 26 – H. 33. Tài nguyên chip FPGA sử dụng khi không sử dụng tạp trắng để mô hình kênh và có sử dụng tạp trắng thể hiện trong bảng 1 và bảng 2 tương ứng.

- Kết quả mô phỏng (H. 28) và đo trên máy phân tích phổ (H. 32) chúng ta thấy, tín hiệu phát ở dải

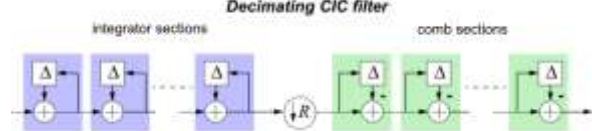
Tín hiệu này sử dụng để hiệu chỉnh VCO đưa sai lệch này về không. Do đó, sóng mang được khôi phục.

2.3.2 Kênh lọc giảm mẫu

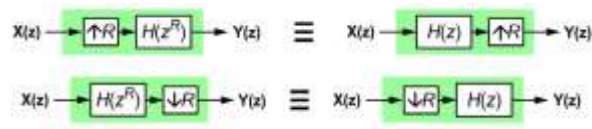
Bộ lọc CIC có khả năng giảm tốc độ lấy mẫu cao nhất nên được sử dụng trong bộ DDC làm bộ lọc đầu tiên trong kênh lọc giảm mẫu.



H. 21 *Quá trình thực hiện giảm mẫu của CIC*



H. 22 *Cấu trúc của bộ lọc CIC giảm mẫu*



H. 23 *Tương quan đáp ứng của CIC nội suy và giảm mẫu*

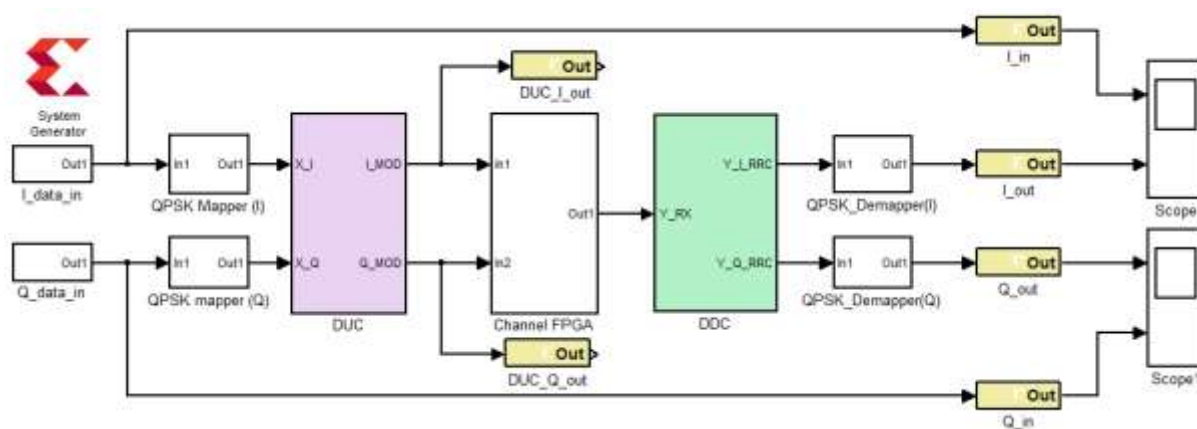
Từ sự tương quan giữa CIC nội suy và giảm mẫu (xem H. 23) ta thấy, đặc tuyến $H(z)$ của chúng là tương đồng như thể hiện trên H. 13. Thành ra, sau bộ lọc CIC trong DDC cần sử dụng thêm bộ lọc bù CFIR, các khâu lọc tùy chọn HB để giảm tốc độ lấy mẫu và bộ lọc RRC làm bộ lọc phối hợp lấy mẫu với tốc độ của symbol để đồng bộ (xem H. 24).

IF có băng thông 2.5MHz (bằng hai lần băng thông của symbol trên hai kênh I/Q ở dải cơ sở).

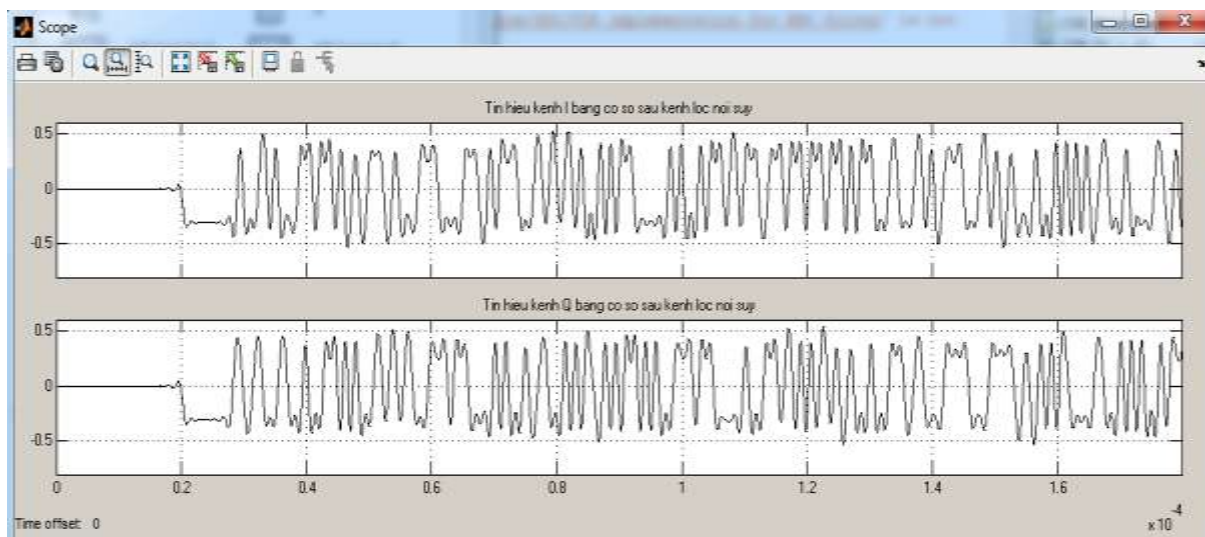
- Kết quả phân tích chòm sao tín hiệu ở phía thu (H. 29) chúng ta thấy, chòm sao sau bộ lọc CIC không tập trung do nhiễu tạp trắng từ kênh truyền. Bộ lọc phối hợp RRC đã lọc nhiễu ISI và nhiễu tạp nên chòm sao tín hiệu được tập trung.
- Sau giải điều chế QPSK, tín hiệu được khôi phục (H. 31) chỉ thể hiện tín hiệu kênh I sau giải điều chế và bản tin gốc, kênh Q cũng nhận được kết quả hoàn toàn tương tự.
- Chuỗi bit kênh I của bản tin gốc từ phía phát và của kênh I sau giải điều chế trong bộ thu được thể hiện trên máy hiện sóng. Tín hiệu được khôi phục hoàn toàn trong bộ thu, tốc độ lấy mẫu 1.25MHz.
- Tài nguyên FPGA sử dụng cho bộ DUC và DDC (không tính đến tài nguyên tạo tạp trắng cho mô hình kênh phát) là rất nhỏ đối với chip Kintex-7 XC7K325T-1FFG676 dùng trong thử nghiệm và phù hợp cho các chip FPGA tài nguyên nhỏ hơn, chip FPGA thế hệ cũ.

Từ những kết quả đó chúng ta thấy thiết kế làm việc đúng chức năng. Thiết kế thực hiện thử nghiệm với tần số sóng mang sau DUC là 25MHz. Tuy nhiên, với các chip FPGA thế hệ mới có khả năng làm việc với

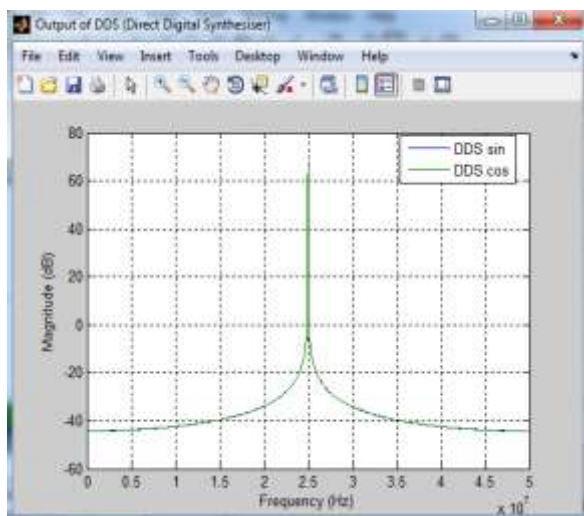
tần số cao (hệ thống đạt được hơn 500MHz như trên bảng 1), cho phép thiết kế các hệ thống vô tuyến hoàn toàn số trong một chip (chẳng hạn như với dải sóng ngắn và cực ngắn).



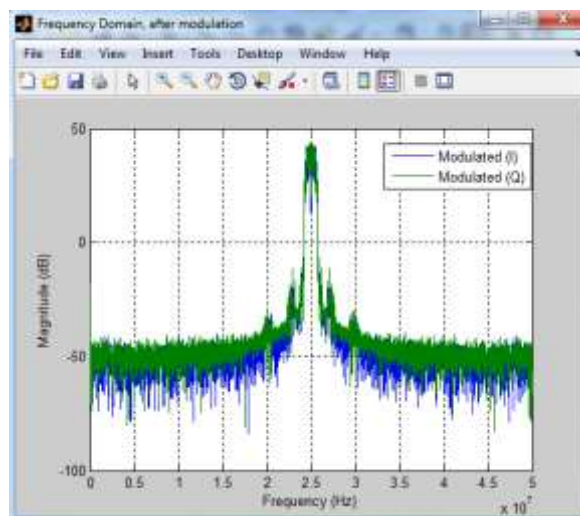
H. 25 Thiết kế thực hiện trên System Generator



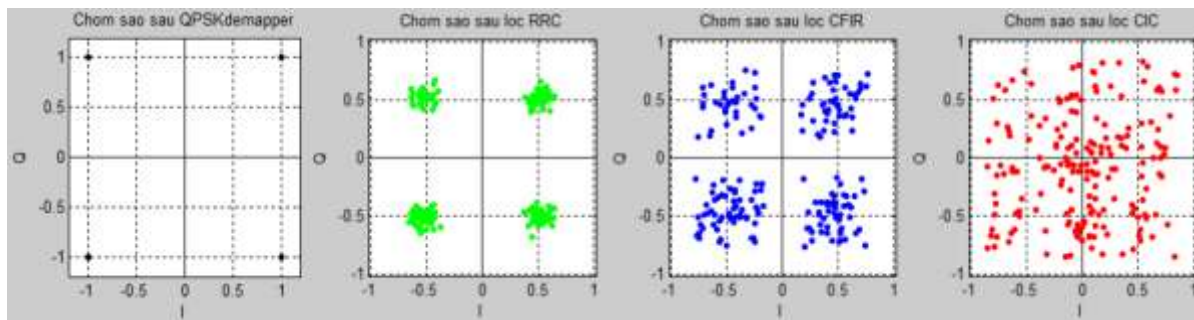
H. 26 Tín hiệu ở băng tần cơ sở sau kênh lọc nội suy



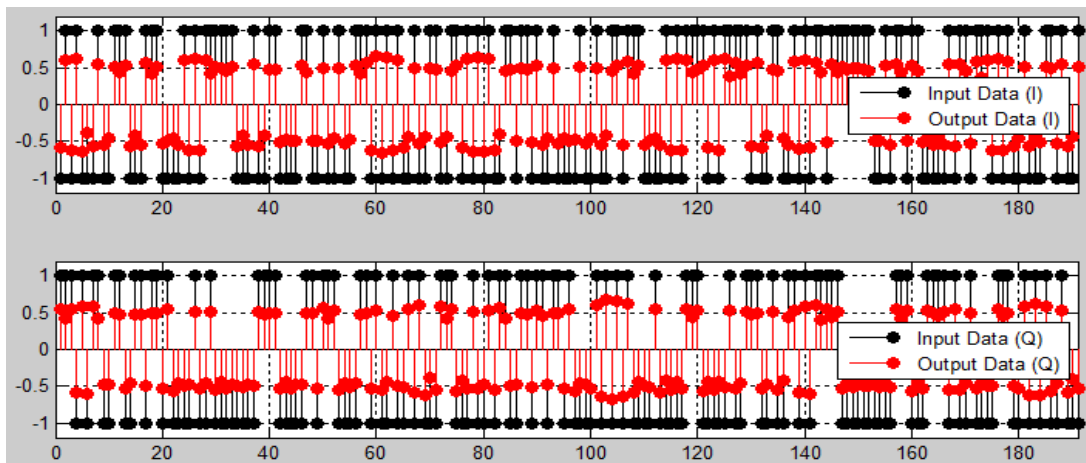
H. 27 Phổ tín hiệu DDS trong DUC



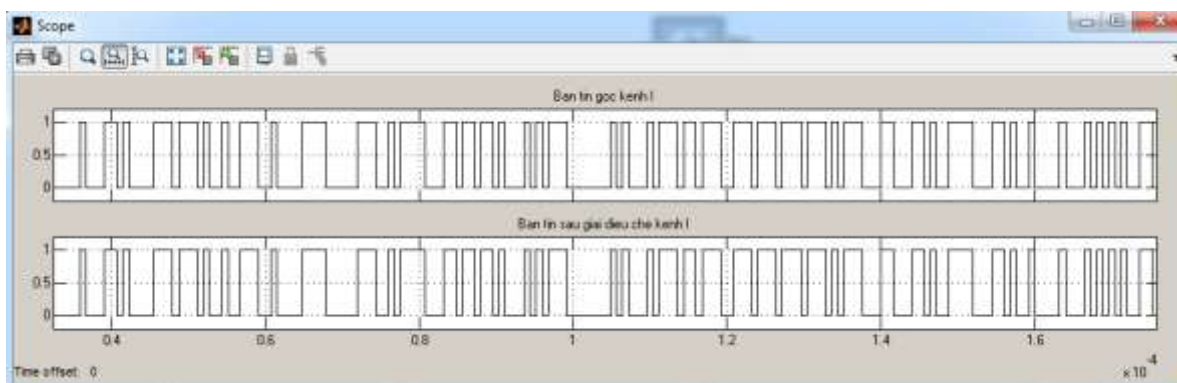
H. 28 Phổ tín hiệu IF ở phía phát



H. 29 Chòm sao tín hiệu sau các bộ lọc trong DDC



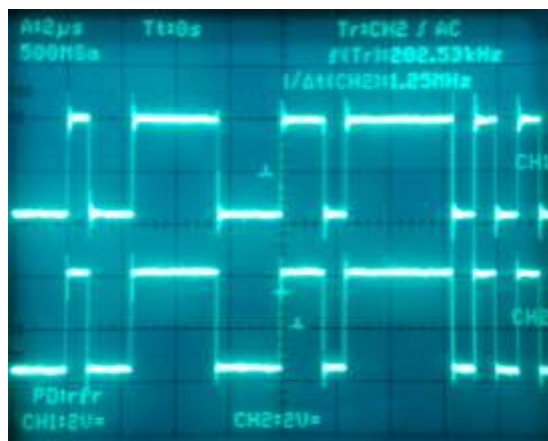
H. 30 Mẫu tín hiệu bản tin gốc ở phía phát và đầu ra sau lọc RRC ở phía thu



H. 31 Mẫu tín hiệu bản tin gốc ở phía phát và đầu ra sau giải điều chế QPSK ở phía thu



H. 32 Phổ tín hiệu IF sau DUC thử nghiệm trên mạch FPGA



H. 33 Tín hiệu bản tin gốc từ phía phát và sau giải điều chế ở phía thu thử nghiệm trên mạch FPGA

Bảng 1. Tài nguyên FPGA sử dụng khi không có mô hình kênh

Logic Utilization	Used	Available	%
Slice Registers	3056	407,600	0%
Slice LUTs	2356	203,800	1%
Block RAM/FIFO	1	445	0%
DSP48E1s	42	840	5%
Max. Frequency	517.994 MHz		

Bảng 2. Tài nguyên FPGA sử dụng khi có mô hình kênh tap trắng

Logic Utilization	Used	Available	%
Slice Registers	9371	407,600	2%
Slice LUTs	9254	203,800	4%
Block RAM/FIFO	5	445	1%
DSP48E1s	139	840	16%
Max. Frequency	142.531 MHz		

3. Kết luận

Bài báo đã thiết kế và thử nghiệm các khối đảo tần lên và xuống kết hợp kỹ thuật điều chế QPSK trên cơ sở công nghệ vô tuyến cấu hình mềm. Thiết kế với giải pháp tối ưu tài nguyên và tốc độ để cho phép thực hiện hệ thống hoàn toàn số trong một chip FPGA. Đặc biệt là mô hình thiết kế có thể phù hợp và tùy biến linh hoạt cho mọi hệ thống vô tuyến dựa trên software defined radio.

Tài liệu tham khảo

- [1] Zhuan Ye; Grosspietsch, J.; Memik, G., *An FPGA Based All-Digital Transmitter with Radio Frequency Output for Software Defined Radio*, IEEE Design, Automation & Test in Europe Conference & Exhibition, 16-20 April 2007.
- [2] Kazaz, T.; Kulin, M.; Hadzialic, M., *Design and implementation of SDR based QPSK modulator on FPGA*, IEEE Information & Communication Technology Electronics & Microelectronics (MIPRO), 20-24 May 2013.
- [3] Xilinx, pg147: *DUC/DDC Compiler V3.0*. LogiCORE IP Product Guide, November 19, 2014.
- [4] Xilinx, pg141: *DDS Compiler v6.0*. LogiCORE IP Product Guide, June 24, 2015.
- [5] V Elamaran, R Vaishnavi, A Maxel Rozario, Slitta Maria Joseph, Aylwin Cherian, *CIC for decimation and interpolation using Xilinx system generator*, IEEE Communications and Signal Processing (ICCS), 3-5 April 2013.
- [6] Wu Changrui, Kong Chao, Xie Shigen, Cai Huizhi, *Design and FPGA Implementation of Flexible and Efficiency Digital Down Converter*, Signal Processing (ICSP), 2010 IEEE 10th International Conference, 24-28 Oct. 2010.
- [7] Xiao Liangfen Liu Yi, *Implementation of distributed FIR digital filter on FPGA*, Electronic Measurement & Instruments

- (ICEMI), 2011 IEEE 10th International Conference on (Volume:3), 16-19 Aug. 2011.
- [8] Xilinx. DS795: *LogiCORE IP FIR Compiler v6.3: Product Specification*. October 19, 2011.
- [9] Rodger H. Hosking., *Software Defined Radio Handbook: Seventh Edition*, Pentek, Inc. 2008.
- [10] Xilinx. UG640, *System Generator for DSP: User Guide V.14.7*, October 16, 2012.
- [11] Xilinx. UG638, *System Generator for DSP: Reference Guide V14.7*, March 20, 2013.
- [12] Trần Văn Nghĩa, *Nghiên cứu, thiết kế máy thu thế hệ số software defined radio trên công nghệ FPGA*, Tuyển tập báo cáo khoa học – Hội nghị Đo lường toàn quốc lần thứ 5, tháng 5, 2010.
- [13] Nguyễn Thế Hiếu, Trần Xuân Kiên, Trần Văn Nghĩa, *Nghiên cứu, thiết kế bộ chuyển dịch tín hiệu về dải cơ sở trên nền công nghệ FPGA*, Tạp chí Nghiên cứu KH&CN Quân sự, tháng 10, 2010.



Trần Văn Nghĩa sinh năm 1985. Anh nhận bằng kỹ sư Điện - điện tử của Học viện KTQS năm 2009. Hiện anh đang là nghiên cứu sinh tại trường Đại học Vật lý kỹ thuật Matxcova. Hướng nghiên cứu chính là thiết kế các hệ xử lý tín hiệu số và điều khiển trong các hệ thống vô tuyến và hữu tuyến; và

thiết kế các hệ thống trong lĩnh vực an toàn thông tin bằng phần cứng.